



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11100299 A**(43) Date of publication of application: **13 . 04 . 99**

(51) Int. Cl.

**C30B 29/06**  
**C30B 33/02**  
**H01L 21/20**  
**H01L 21/205**

(21) Application number: **09282747**(22) Date of filing: **29 . 09 . 97**(71) Applicant: **MITSUBISHI MATERIALS SILICON CORP**

(72) Inventor: **KIMURA MASAKI**  
**NOGAMI SHOJI**  
**SHINYASHIKI HIROSHI**

**(54) PRODUCTION OF THIN FILM EPITAXIAL WAFER  
 AND THIN FILM EPITAXIAL WAFER PRODUCED  
 THEREWITH**

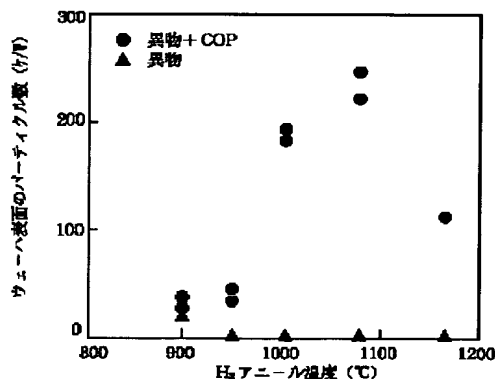
(57) Abstract:

**PROBLEM TO BE SOLVED:** To realize reduced pressure and low temp. epitaxial growth that enables fewer COP (crystal-originated particles) and good electric properties of a thin film epitaxial wafer and correspondence to low temp. production of a device and also to cope with the problems with respect to improvement in yield of the wafer and production of a larger-diameter thin film epitaxial wafer.

**SOLUTION:** This production comprises: subjecting the surface of a single crystal silicon substrate to hydrogen termination treatment (SCI cleaning and dilute HF treatment); thereafter, further subjecting the treated silicon substrate to H<sub>2</sub> annealing at 800 to 950°C; and then, performing reduced pressure epitaxial growth on the resulting single crystal silicon substrate at or below the H<sub>2</sub> annealing temp. to form an epitaxial layer having a  $\approx 0.5 \mu\text{m}$  thickness on the silicon substrate. By using the production, the objective reduced pressure and low temp. epitaxial growth which enables a decrease in residual COP in the surface of the epitaxial layer and good electric properties of a thin film epitaxial wafer thus produced, can be realized. Thus, the thin film epitaxial wafer that is produced at a low temp. and therefore, capable of corresponding to low temp. production of a device on the user side, can be produced

and also, an improvement in yield of the wafer can be attained and further, this production can cope with the problems with respect to the production of a larger-diameter thin film epitaxial wafer.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-100299

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

C 3 0 B 29/06

5 0 4

C 3 0 B 29/06

5 0 4 F

33/02

33/02

H 0 1 L 21/20

H 0 1 L 21/20

21/205

21/205

審査請求 未請求 請求項の数4 F D (全 6 頁)

(21) 出願番号

特願平9-282747

(22) 出願日

平成9年(1997) 9月29日

(71) 出願人 000228925

三菱マテリアルシリコン株式会社

東京都千代田区大手町一丁目5番1号

(72) 発明者 木村 雅貴

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(72) 発明者 野上 彰二

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

(72) 発明者 新屋敷 浩

東京都千代田区大手町1丁目5番1号 三

菱マテリアルシリコン株式会社内

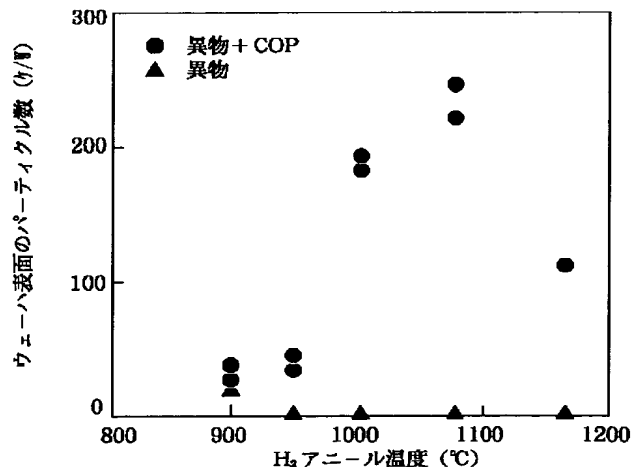
(74) 代理人 弁理士 安倍 逸郎

(54) 【発明の名称】 薄膜エピタキシャルウェーハの製造方法およびこの方法により製造された薄膜エピタキシャルウェーハ

(57) 【要約】

【課題】 デバイス製造の低温化に対応して、COPが少なく電気的特性が良好な減圧・低温エピタキシャル成長を実現する。歩留り向上、ウェーハの大口径化に対応する。

【解決手段】 単結晶シリコン基板の表面を水素終端処理 (S C 1 → 希 H F 処理) 後、800 ~ 950℃でH<sub>2</sub>アニールする。次に、単結晶シリコン基板上にH<sub>2</sub>アニール温度以下で0.5 μm以上のエピタキシャル層を減圧エピタキシャル成長させる。エピタキシャル層表面の残留COPが低減し、かつ得られたウェーハは良好な電気的特性となる減圧・低温エピタキシャル成長を実現できる。したがって、ユーザ側でのデバイスの低温製造に対応した低温製造の薄膜エピタキシャルウェーハを製造でき、ウェーハの歩留りの向上も図れ、さらにウェーハの大口径化にも対応できる。



## 【特許請求の範囲】

【請求項1】 CZ法のインゴット引き上げに基づいて作製された単結晶シリコン基板の表面を水素終端処理し、次いでこの水素終端処理された単結晶シリコン基板を、 $H_2$ ガスを流しながら安定化時間の炉内温度が800～950℃で加熱処理し、その後、この単結晶シリコン基板の表面に、厚さ0.5 $\mu m$ 以上のエピタキシャル層を、減圧下で、かつこの $H_2$ アニール時の温度以下でエピタキシャル成長させる薄膜エピタキシャルウェーハの製造方法。

【請求項2】 上記 $H_2$ アニール温度が900℃である請求項1に記載の薄膜エピタキシャルウェーハの製造方法。

【請求項3】 上記単結晶シリコン基板の表面の水素終端処理は、SC1洗浄後の単結晶シリコン基板を、0.1～1%の希HF水溶液により1～10分間、室温で洗浄する請求項1または請求項2に記載の薄膜エピタキシャルウェーハの製造方法。

【請求項4】 CZ法のインゴット引き上げに基づいて作製された単結晶シリコン基板の表面を水素終端処理し、次いでこの水素終端処理された単結晶シリコン基板を、 $H_2$ ガスを流しながら安定化時間の炉内温度が800～950℃で加熱処理し、その後、この単結晶シリコン基板の表面に、厚さ0.5 $\mu m$ 以上のエピタキシャル層を、減圧下で、かつこの $H_2$ アニール時の温度以下でエピタキシャル成長させた薄膜エピタキシャルウェーハ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、デバイス製造での低温化に対応して、エピタキシャル層表面のCOPが少ない低温エピタキシャル成長を実現した薄膜エピタキシャルウェーハの製造方法およびこの方法により製造された薄膜エピタキシャルウェーハに関する。

## 【0002】

【従来の技術】 例えばCZ法(Czochralski法)により作製されたシリコンウェーハにあつては、小さく高密度の欠陥や、大きく低密度の欠陥のいずれかが存在していた。これらの欠陥は、鏡面研磨後のアンモニア系洗浄において、その表面に、結晶に起因する凹みであるCOP(Crystal Originated Particle)となつて現れる。このCOPはパーティクルカウンタで検出することができる。そして、この欠陥によりシリコンウェーハの電気的特性が損なわれていた。また、その結果として、シリコンウェーハの製造における歩留りが低下していた。

\*

\*【0003】 このことは、研磨後のシリコンウェーハの表面に、1000℃を超える高温下で、エピタキシャル層(以下、エピタキシャルを「エピ」と略す場合がある)を、エピタキシャル成長させるエピタキシャルウェーハについても、同様であつた。すなわち、エピタキシャル成長では、基板であるシリコンウェーハの表面の形状を倣つて、エピタキシャル層の成長が行なわれる。このため、シリコンウェーハの表面にできた凹みは、成長条件によっては、エピタキシャル層の表面にも転写される。ところで、MOS用エピタキシャルウェーハの場合には、一般的にシリコンウェーハの表面に、エピタキシャル層を2 $\mu m$ 以上の厚さで常圧エピタキシャル成長すると、エピタキシャル層の表面にCOPが残りにくいことが知られている。これは、比較的厚くエピタキシャル成長させることにより、シリコンウェーハの表面凹みが、その成長につれて徐々に消失するからである。

## 【0004】

【発明が解決しようとする課題】 しかしながら、このことは、エピタキシャルウェーハのうちでも実際に実験が行なわれたMOS用のエピタキシャルウェーハに限って判明しているだけである。しかも、このようなCOPの消失調査は、減圧下でエピタキシャル成長させるBi-CMOS用エピタキシャルウェーハや、高集積化に伴うラッチアップ対策として、エピタキシャル層を薄膜化するという命題がある高性能ロジック用エピタキシャルウェーハに対しては、その評価がなされていなかった。例えばBi-CMOS用薄膜エピタキシャルウェーハには埋め込み層が存在するためパーティクルカウンタによるCOP評価を行うことができないからである。

【0005】 そこで、本願発明者らは、このものについて、実際に評価実験を行なつた。この結果、減圧下で薄膜のエピタキシャル層をエピタキシャル成長させると、前述したようにシリコンウェーハ側より表面の凹みが転写され、エピタキシャル層の表面にCOPが高密度で現れることがわかつた。以下、この実験データについて説明する。なお、表1には、MOS用エピタキシャルウェーハのエピタキシャル層と、Bi-CMOS用、ロジック用エピタキシャルウェーハの薄膜エピタキシャル層とのエピタキシャル成長条件における比較を示す。また、図3に、一般的な常圧エピタキシャル成長と減圧エピタキシャル成長との比較を表すグラフを示す。これは、同じロットのCZ法に基づくシリコンウェーハ(比抵抗 $\rho = 10 \Omega cm$ )を、表1に示す異なる条件でエピタキシャル成長させた結果である。

## 【0006】

## 【表1】

条 件	ソースガス	成長温度 (°C)	成長速度 ( $\mu\text{m}/\text{分}$ )	圧力 (Torr)	エビ厚 ( $\mu\text{m}$ )
(1) MOSエビ	$\text{SiHCl}_3$ (TCS)	1100~ 1150	1~5	常圧	$\geq 2\mu\text{m}$
(2) Bi・CMOS用、 ロジック用薄膜エビ	$\text{SiH}_2\text{Cl}_2$ (DCS)	800~ 1150	0.01~1	10~ 常圧	0.5~ 5 $\mu\text{m}$

【0007】図3のグラフにおいて、エピタキシャル成長前にウェーハ（口径6インチ）当たり300～600個カウントされたパーティクルは、単結晶シリコン基板の表面に生成されたCOPと考えられる。(1)の常圧エピタキシャル成長では、エピタキシャル成長後にCOPがほぼ消失しているのに対し、(2)の減圧エピタキシャル成長では、エピタキシャル層の表面に、基板とほぼ同数のパーティクルがカウントされた。しかも、エピタキシャル成長後のパーティクルの90%が、エピタキシャル成長前の単結晶シリコン基板の表面にできたパーティクルの位置と一致していた。したがって、単結晶シリコン基板側のCOPは、減圧エピタキシャル成長では消失せずに残留することが明らかとなった。

【0008】ところで、近年、デバイスの高集積化が進み、デバイスが比較的低温の環境下で作製されている。これに対応して、デバイスの基体となるシリコンウェーハ、例えば減圧状態で作製されるBi-CMOS用薄膜エピタキシャルウェーハにおいても、オートドーピングの抑制、金属汚染の低減という観点から、低温成長の方が好ましい。しかしながら、このように比較的低い温度でエピタキシャル成長を実施する場合、特に $\text{H}_2$ アニール等により自然酸化膜等を完全に除去しないと、シリコンの単結晶体であるべきエピタキシャル層が多結晶化してしまい、うまくエピタキシャル成長ができなくなるという問題が生じていた。

【0009】一方、発明者らは、「1997年春季応用物理学会予稿集39p-L-10, 11 p317」において、CZシリコンウェーハの表面に現出したCOPは、エピタキシャル成長条件により消失、残留の挙動が変化し、この条件によっては、COPがエピタキシャル層の厚さ数 $\mu\text{m}$ まで影響をおよぼすことを報告している。これは、エピタキシャル成長の前処理である $\text{H}_2$ アニール時に消失しきれなかったCOPが、単結晶シリコン基板上にシリコンが積層されていくとき、異方性の強いエピタキシャル成長条件下では消失し、等方性の強い条件下では残留することが原因であると考えられる。

【0010】そこで、この発明者らは、エピタキシャル成長前における単結晶シリコン基板の $\text{H}_2$ アニール時の条件に着目した。そして、鋭意研究を重ねた結果、あらかじめ単結晶シリコン基板の表面を水素終端処理してから、800～950℃の低い温度条件下で $\text{H}_2$ アニールを行えば、このエピタキシャル層の表面のCOPが激減することを見出した。しかも、この低温の $\text{H}_2$ アニール

を実施しておけば、後工程のエピタキシャル成長時に得られたエピタキシャル層の酸化膜耐圧特性(TDDB特性: Time Dependent Dielectric Breakdown)も向上することがわかった。したがって、水素終端処理後に低温 $\text{H}_2$ アニールを行うだけで、シリコンウェーハの表面が清浄化され、前述したようなシリコンの多結晶化が起きることがなく、単結晶シリコン基板の表面に存在しているCOPを、エピタキシャル成長中に十分に埋めて消失させたり、低減させられることがわかった。

#### 【0011】

【発明の目的】この発明は、エピタキシャル層表面に残留COPが少なく、しかも良好な電気的特性が得られる減圧下での低温エピタキシャル成長を実現することができ、また歩留りの向上が図れ、さらにウェーハの大口径化にも対応することができる薄膜エピタキシャルウェーハの製造方法およびこの方法により製造された薄膜エピタキシャルウェーハを提供することを、その目的としている。

#### 【0012】

【課題を解決するための手段】請求項1に記載した発明は、CZ法のインゴット引き上げに基づいて作製された単結晶シリコン基板の表面を水素終端処理し、次いでこの水素終端処理された単結晶シリコン基板を、 $\text{H}_2$ ガスを流しながら安定化時間の炉内温度が800～950℃で加熱処理し、その後、この単結晶シリコン基板の表面に、厚さ0.5 $\mu\text{m}$ 以上のエピタキシャル層を、減圧下で、かつこの $\text{H}_2$ アニール時の温度以下でエピタキシャル成長させる薄膜エピタキシャルウェーハの製造方法である。単結晶シリコン基板の表面を水素終端処理する方法としては、例えば請求項3に記載したようなSC1洗浄後の単結晶シリコン基板を希HF洗浄する方法の他、無水HF処理する方法などが挙げられる。

【0013】希HF洗浄に使用される希HF水溶液の濃度は0.1～1%である。0.1%未満では水素終端処理に長時間を要するという不都合が生じる。また、1%を超えるとフッ素原子が多くなり、ひいてはその後の水洗でOH基の吸着量が増すという不都合が生じる。この希HF洗浄時間は1～10分間、特に1～5分間が好ましい。1分間未満では水素終端処理が不十分であるという不都合が生じる。また、10分間を超えると処理能力が低下するという不都合が生じる。この希HF洗浄は、通常、室温で行われる。

【0014】 $H_2$ アニール（水素アニール）には、エピタキシャル炉が用いられる。すなわち、このエピタキシャル炉内で、単結晶シリコン基板の $H_2$ アニールと、エピタキシャル成長とが行われる。なお、 $H_2$ アニールの専用炉を使用してもよい。 $H_2$ アニールの好ましい温度は、 $800\sim 950^\circ\text{C}$ である。 $800^\circ\text{C}$ 未満では水素終端処理からエピタキシャル成長炉のローディングまでの間に生成した自然酸化膜、あるいは、有機物の除去が困難となる。また、 $950^\circ\text{C}$ を超えると、COPの凹み面全体にもシリコン原子が順に積層されていくため、ピット幅が広くなり、COPは残留するという不都合が生じる。 $H_2$ アニールの時間は1分間程度必要である。ガス流量を安定化させるためである。

【0015】単結晶シリコン基板上にエピタキシャル層を成長させるエピタキシャル成長法としては、例えば気相法（Vapor Phase Epitaxy；VPE）、液相法（Liquid Phase Epitaxy；LPE）、固相法（Solid Phase Epitaxy；SPE）がある。特に、シリコンのエピタキシャル成長には、成長層の結晶性、量産性、装置の簡便さ、種々のデバイス構造形成の容易さなどの点から、化学的気相成長法（Chemical Vapor Deposition；CVD）が主として採用されている。このCVD法によるシリコンのエピタキシャル成長は、例えばシリコンを含んだ原料ガスを、キャリアガス（通常 $H_2$ ガス）とともに反応炉内へ導入し、 $1000^\circ\text{C}$ 以上の高温に熱せられたシリコン単結晶の基板（CZ法により作製）上に、原料ガスの熱分解または還元によって生成されたシリコンを析出させることで行われる。

【0016】単結晶シリコン基板上にシリコンをエピタキシャル成長させるためのエピタキシャル炉としては、例えば枚葉式炉、縦型炉、バレル型のバッチ炉などが挙げられる。ただし、これに限定されない。エピタキシャル成長のソースガスとしては、例えば $SiH_2Cl_2$ （DCS）、 $SiH_4$ 、 $SiHCl_3$ 、 $SiCl_4$ などが挙げられる。エピタキシャル成長温度は $H_2$ アニール温度以下である。特に $800\sim 900^\circ\text{C}$ が好ましい。 $H_2$ アニールの温度を超えると、昇温中にCOPがピット幅が広がって全体としてはCOPが浅く広くなるため、COPは残留するという不都合が生じる。エピタキシャル成長の炉内圧力は $30\sim 200\text{ Torr}$ 、特に $80\text{ Torr}$ が好ましい。エピタキシャル成長速度は、 $0.01\sim 0.5\mu\text{m}/\text{分}$ 、特に $0.2\mu\text{m}/\text{分}$ が好ましい。

【0017】単結晶シリコン基板上に減圧エピタキシャル成長されるエピタキシャル層の厚さは、 $0.5\mu\text{m}$ 以上であり、特に $0.5\sim 2\mu\text{m}$ が好ましい。 $0.5\mu\text{m}$ 未満では、下層である単結晶シリコン基板においてピット幅の増加を比較的小さくすることができたCOPでも、その影響がエピタキシャル層の表面にでやすいから

である。COPの数を検出する装置としては、例えばテンコール株式会社製の高感度のパーティクルカウンタ「SS6200」および「SS6420」、セイコー電子株式会社製の「SPA360」などの周知のパーティクルカウンタおよび原子間力顕微鏡AFMなどが挙げられる。このうち「SS6200」では、ヘイズの影響なしに測定することができるCOPの下限値は、 $0.12\sim 0.13\mu\text{m}$ である。

【0018】請求項2に記載の発明は、上記 $H_2$ アニール温度が $900^\circ\text{C}$ である請求項1に記載の薄膜エピタキシャルウェーハの製造方法である。 $H_2$ アニール温度は、この $900^\circ\text{C}$ が、シリコン基板の清浄化、および、COPのピット幅の増大を抑制するという点から特に好ましい。

【0019】請求項3に記載した発明は、上記単結晶シリコン基板の表面の水素終端処理は、SC1洗浄後の単結晶シリコン基板を、 $0.1\sim 1\%$ の希HF水溶液により $1\sim 10$ 分間、室温で洗浄する請求項1または請求項2に記載の薄膜エピタキシャルウェーハの製造方法である。

【0020】請求項4に記載した発明は、CZ法のインゴット引き上げに基づいて作製された単結晶シリコン基板の表面を水素終端処理し、次いでこの水素終端処理された単結晶シリコン基板を、 $H_2$ ガスを流しながら安定化時間の炉内温度が $800\sim 950^\circ\text{C}$ で加熱処理し、その後、この単結晶シリコン基板の表面に、厚さ $0.5\mu\text{m}$ 以上のエピタキシャル層を、減圧下で、かつこの $H_2$ アニール時の温度以下でエピタキシャル成長させた薄膜エピタキシャルウェーハである。

【0021】

【作用】請求項1～請求項4の薄膜エピタキシャルウェーハの製造方法およびこの方法により製造された薄膜エピタキシャルウェーハによれば、CZ法により引き上げられた単結晶シリコンインゴットから単結晶シリコン基板を作製後、この単結晶シリコン基板の表面を水素終端処理する。これにより、この基板表面側にあるSi原子のダングリングボンドの先端はH基となる。次いで、この水素終端処理された単結晶シリコン基板を炉内に装入して、 $H_2$ ガスを流しながら安定化時間（流量安定化時間）の炉内温度が $800\sim 950^\circ\text{C}$ になるように、単結晶シリコン基板を $H_2$ アニール処理する。この結果、シリコン基板表面の清浄化を行うことができる。

【0022】その後、この単結晶シリコン基板を、減圧下で、シリコンソースガスを流しながら、 $H_2$ アニール温度（ $800\sim 950^\circ\text{C}$ ）以下の比較的低い温度で炉内加熱することにより、この単結晶シリコン基板上に、厚さ $0.5\mu\text{m}$ 以上のエピタキシャル層がエピタキシャル成長する。この際、単結晶シリコン基板の表面上に残るCOPは、前述したように大きさが小さいので、消失しやすくなる。また、エピタキシャル成長によるCOPの

ピット幅の増大を抑制することができる。

【0023】このように、低温での減圧下・薄膜エピタキシャル成長を実現させたことで、ユーザ側におけるデバイスの低温製造にウェーハ生産工場側が対応することができるようになった。しかも、エピタキシャル層の表面に存在するCOPの個数も少なくなるので、薄膜エピタキシャルウェーハの電気的特性が向上し、かつ製造時の歩留りも大きくなる。この結果、近年のウェーハの大口径化（例えばウェーハ口径300mm）が進んでも、常に、良質の薄膜エピタキシャルウェーハをユーザ側へ提供することができる。

#### 【0024】

【発明の実施の形態】以下に実施例を挙げてこの発明をより具体的に説明する。なお、この発明はこれらの実施例に限定されない。

〈実施例1、2、比較例1～3〉CZ法によるシリコン単結晶の引き上げ工程において、引き上げ速度0.9mm/分で引き上げられた高抵抗のシリコン単結晶棒にブロック切断、ウェーハ切断、面取り、機械的化学的研磨などを施して、シリコン単結晶の結晶方位がN(100)、比抵抗が10～20Ωcm、厚さが625μm、直径が6インチの単結晶シリコン基板を作製する。その後、この基板の表面をSC1洗浄(NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O)し、それから0.5%の希HF水溶液により5分間、室温で希HF洗浄することにより、この基板の表面に、Si原子のダングリンボンドの先端がH基となる水素終端処理を施す。

【0025】次いで、この水素終端処理された単結晶シリコン基板を、枚葉式の炉内へ挿填し、続いて炉内へH<sub>2</sub>ガスを流しながら、900℃～1150℃の間、具体的には900℃（実施例1）、950℃（実施例2）、1000℃（比較例1）、1100℃（比較例2）、1150℃（比較例3）で、H<sub>2</sub>アニールを行なった。その後、単結晶シリコン基板上に1μmのエピタキシャル層をエピタキシャル成長することにより、薄膜エピタキシャルウェーハを得た。このときのエピタキシャル成長条件は、ソースガスDCS(SiH<sub>2</sub>Cl<sub>2</sub>)、エピタキシャル成長温度900℃、エピタキシャル成長速度0.2μm/分、圧力80Torrである。それから、テンコール株式会社製の「SS6200」を用いて、直径0.13μm以上のパーティクルの残痕数をカウントした。

【0026】この結果を、図1のH<sub>2</sub>アニール温度とエピタキシャル層表面のCOP数との関係を表すグラフに示す。すなわち、比較例1～3では、エピタキシャル層の表面におけるCOP数は、6インチウェーハ1枚当たり、100～240個前後であった。これに対して、実施例1、2では、20～30個程度にまで少なくなった。なお、図1において、▲はエピタキシャル層表面に付着した異物の数であり、●はこの異物にCOPを加算

した数である。すなわち、各実施例や比較例のCOP数は、●値から▲値を引いた値となる。また、このときのアニール温度と平均Q<sub>90</sub>値との関係を図2のグラフに示す。図2のグラフから明らかなように、比較例1～3に比べて実施例1、2の方が酸化膜耐圧が高く、良好な電気的特性が得られた。この酸化膜耐圧試験(TDDB試験)の条件は、酸化膜厚さ(T<sub>ox</sub>)が10nm、表面積(A)が0.2cm<sup>2</sup>、電流密度(J)が0.1A/cm<sup>2</sup>である。

【0027】この際、実施例1の場合を例にとり、原子間力顕微鏡によりH<sub>2</sub>アニールの前後における単結晶シリコン基板上のCOPの形状を比較した。この結果、両者の形状は略同じであった。これにより、COPのピット端面では強い異方性の成長が起きたものと思われる。しかも、H<sub>2</sub>アニール後のCOPは、そのピット幅が、シリコン基板のCOPとほぼ同じ0.1～0.2μm程度であった。この結果、H<sub>2</sub>アニール後のCOPは、エピタキシャル成長時に、容易に消失するか、減少することが予想された。また、実際に、そのような結果が得られた(図1のグラフ参照)。

#### 【0028】

【発明の効果】この発明に係る薄膜エピタキシャルウェーハの製造方法、および、この方法により製造された薄膜エピタキシャルウェーハによれば、単結晶シリコン基板の表面を水素終端処理後、800～950℃という低温H<sub>2</sub>アニールを実施し、さらにこの単結晶シリコン基板上に、H<sub>2</sub>アニール温度以下で、0.5μm以上の薄いエピタキシャル層を減圧エピタキシャル成長するようにしたので、エピタキシャル層表面に残留するCOPが少なく、しかも良好な電気的特性が得られる減圧・低温エピタキシャル成長を実現することができる。これによりユーザ側におけるデバイスの低温製造に対応した低温製造の薄膜エピタキシャルウェーハを製造することができる。とともに、この薄膜エピタキシャルウェーハの製造歩留り向上が図れ、さらにウェーハの大口径化にも対応することができる。

【0029】特に、請求項2に記載の発明によれば、H<sub>2</sub>アニール温度を900℃としたので、シリコン基板の清浄化、および、エピタキシャル成長でのCOPのピット幅の増大を抑制するという効果が得られる。

【0030】また、請求項3に記載の発明によれば、単結晶シリコン基板の表面の水素終端処理として、SC1洗浄された単結晶シリコン基板を、0.1～1%の希HF水溶液により3～5分間、室温で洗浄することを採用したので、自然酸化膜が存在しないシリコン基板が作製できるという効果が得られる。

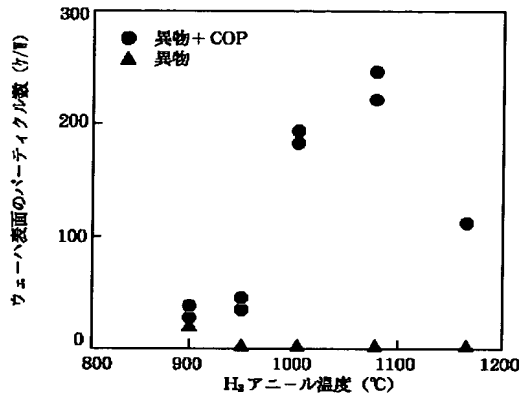
#### 【図面の簡単な説明】

【図1】この発明の一実施例に係るH<sub>2</sub>アニール温度とエピタキシャル層表面のCOP数との関係を示すグラフである。

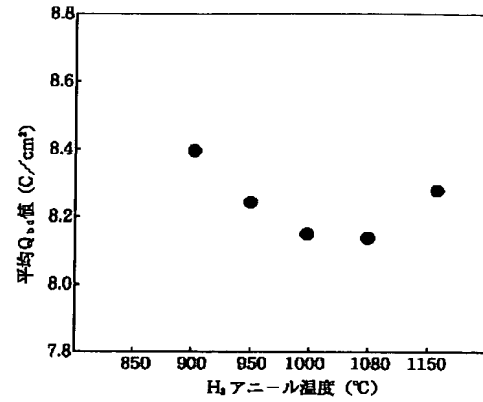
【図2】この発明の一実施例に係るアニール温度と平均 $Q_{10}$ 値との関係を示すグラフである。

\* 【図3】一般的な常圧エピタキシャル成長と減圧エピタキシャル成長との比較を表すグラフである。

【図1】



【図2】



【図3】

